

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-191624

(43)Date of publication of application : 28.07.1995

(51)Int.Cl. G09G 3/20
G02F 1/133
G09G 3/36
H04N 5/66

(21)Application number : 05-331705 (71)Applicant : NEC CORP

(22)Date of filing : 27.12.1993 (72)Inventor : KITAMURA KENTARO

(54) DATA DRIVER OF MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To switch sampling timing fast and stably by providing a sampling switching circuit which switches the sampling signal output and sampling start pulse signal output of shift registers.

CONSTITUTION: This data driver is equipped with the sampling switching circuit TF which switches sampling signal outputs of shift registers RR1-SRn with a sampling switching signal asynchronous with a clock signal and switches the sampling timing of sample holding circuits BF1-BFn to sequential or simultaneous sampling as a control circuit which generates sampling timing sequentially or simultaneously. Display data are outputted to data buses Q1--Qn of the data driver by the sequential or simultaneous sampling system. The sampling switching circuit TF is constituted by using a switch circuit, such as an analog switch and a transfer gate, which includes a

combination of a P channel and an N channel transistor.

LEGAL STATUS [Date of request for examination] 16.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2827867

[Date of registration] 18.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It faces impressing a data electrical potential difference to said data bus of the matrix display panel which intersected perpendicularly and has arranged the data bus and the scanning bus. The shift register which carries out the sequential shift of the inputted sampling start pulse according to a clock signal, and outputs a sampling signal, The sample hold circuit which samples an indicative data corresponding to said data bus, and outputs said data electrical potential difference, In the data driver of a matrix indicating equipment which has the control circuit which generates sampling timing sequential or simultaneous By inputting the sampling change-over signal which does not synchronize with a clock signal, and switching the sampling signal output of said shift register The data driver of the matrix indicating equipment characterized by

having the sampling change-over circuit which switches the sampling timing in said sample hold circuit to any of sequential or a simultaneous sampling they are.

[Claim 2] It faces impressing a data electrical potential difference to said data bus of the matrix display panel which intersected perpendicularly and has arranged the data bus and the scanning bus. The shift register which carries out the sequential shift of the inputted sampling start pulse according to a clock signal, and outputs a sampling signal, The sample hold circuit which samples an indicative data corresponding to said data bus, and outputs said data electrical potential difference, In the data driver of a matrix indicating equipment which has the control circuit which generates sampling timing sequential or simultaneous By inputting the sampling change-over signal which does not synchronize with a clock signal, and switching the output of the sampling start pulse which shifts the sampling signal output of said shift register, and said shift register The data driver of the matrix indicating equipment characterized by having the sampling change-over circuit which switches sampling timing to either sequential or a simultaneous sampling.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the data driver of a matrix indicating equipment applicable to any sampling method of a sequential sampling and a simultaneous sampling about the data driver of a matrix indicating equipment.

[0002]

[Description of the Prior Art] In the data driver for impressing a data electrical potential difference to the matrix indicating equipment which intersected perpendicularly and has arranged the data bus and the scanning bus The conventional data driver applicable to any sampling method of a sequential sampling and a simultaneous sampling The shift registers SR1-SRn which carry out the sequential shift of the inputted sampling start pulse SP according to a clock signal CLK, and output the sampling signals S1-Sn as shown in drawing 6 , The sample hold circuits BF1-BFn which sample the indicative-data signals R, G, and B corresponding to said data buses Q1-Qn, and output said data signal electrical potential difference to data buses Q1-Qn, The sampling signals S1-Sn and control signal EN which are outputted from said shift registers SR1-SRn are inputted. It has the timing selection circuitry which outputs sampling signal S1' which reaches one by one and has which simultaneous sampling timing - Sn' and which consists of the logic gates G1-Gn, such as an AND gate and a latch circuit, and is constituted (for example, JP,2-74990,A).

[0003] Next, actuation of said conventional data driver is explained. The conventional data driver reaches one by one, and drawing 7 and drawing 8 are the timing charts of the sampling signals S1-Sn corresponding to a simultaneous sampling method. As shown in drawing 7, when a control signal EN and the sampling start pulse SP are inputted, the sampling start pulse SP shifts shift registers SR1-SRn according to a clock signal CLK, and the sampling signals S1-Sn are outputted from shift registers SR1-SRn. The outputted sampling signals S1-Sn are inputted into the logic gates G1-Gn which constitute the timing selection circuitry. Since a control signal EN is "H" level then, the sampling signals S1-Sn are transmitted to sample hold circuits BF1-BFn to timing as it is, carry out the sequential sampling of the indicative-data signals R, G, and B to the timing of sampling signal S1' - Sn', and output them to data buses Q1-Qn. However, when the control pulse signal EN which has a fixed period as shown in drawing 8 is inputted and the sampling start pulse signal SP which moreover has the width of face for three periods of a clock signal CLK is inputted, from shift registers SR1-SRn, the sampling signals S1-Sn which have the width of face for three periods of a clock signal CLK are outputted. the signal inputs into the logic gates G1-Gn of a timing selection circuitry -- having -- in addition -- and sampling signal S1' -Sn' signal is simultaneously outputted [the period of "H" level] for the control pulse signal EN 3 **s. outputting -- having had -- a sampling -- a signal -- S -- one -- ' -- S -- two -- ' -- S -- three -- ' -- S4 -- ' -- S -- five -- ' -- S -- six -- ' -- etc. -- simultaneous -- a sample hold circuit -- BF -- one - BFn -- a circuit -- transmitting -- having -- 3 ** of the indicative-data signals R, G, and B -- a simultaneous sampling -- carrying out -- data buses Q1-Qn -- outputting . Thus, by changing the pulse width of the sampling start pulse signal SP, or using the original pulse signal which synchronized with the clock signal CLK as a control signal EN, the conventional data driver reached one by one, and had chosen which sampling timing of a simultaneous sampling.

[0004]

[Problem(s) to be Solved by the Invention] In this conventional data driver, since it was necessary to change the pulse width of a sampling start pulse, and to input the original control pulse signal which synchronized with the clock signal as a control signal in case a sampling method is chosen, there was a trouble that the external circumference circuit for generating those signals became complicated. Moreover, when the synchronization of a control signal and a clock signal shifted at the time of a simultaneous sampling, since the width of face of the sampling signal outputted from a timing selection circuitry may have varied or a sampling signal may have been outputted simultaneously 4 **, there was a trouble that an indicative-data signal could not be sampled to accuracy.

[0005] In case the object of this invention impresses a data electrical potential difference to said data bus of the matrix display panel which intersected

perpendicularly and has arranged the data bus and the scanning bus The shift register which carries out the sequential shift of the inputted sampling start pulse according to a clock signal, and outputs a sampling signal, The sample hold circuit which samples an indicative data corresponding to said data bus, and outputs said data electrical potential difference, As a control circuit which generates sampling timing sequential or simultaneous, with the sampling change-over signal which does not synchronize with a clock signal It is offering the data driver of a matrix indicating equipment which has the sampling change-over circuit which switches sampling timing [in / for the sampling signal output of said shift register / a change and said sample hold circuit] to any of sequential or a simultaneous sampling their being.

[0006]

[Means for Solving the Problem] The data driver of a matrix indicating equipment is faced impressing a data electrical potential difference to said data bus of the matrix display panel which intersected perpendicularly and has arranged the data bus and the scanning bus. The shift register which carries out the sequential shift of the inputted sampling start pulse according to a clock signal, and outputs a sampling signal, The sample hold circuit which samples an indicative data corresponding to said data bus, and outputs said data electrical potential difference, In the data driver of a matrix indicating equipment which has the control circuit which generates sampling timing sequential or simultaneous By inputting the sampling change-over signal which does not synchronize with a clock signal, and switching the sampling signal output of said shift register The data driver of a matrix indicating equipment which has the sampling change-over circuit which switches the sampling timing in said sample hold circuit to any of sequential or a simultaneous sampling they are.

[0007] Furthermore, the data driver of a matrix indicating equipment which has the sampling change-over circuit which switches sampling timing to either sequential or a simultaneous sampling by inputting the sampling change-over signal which does not synchronize with a clock signal in the data driver of said matrix indicating equipment, and switching the output of the sampling start pulse which shifts the sampling signal output of said shift register, and said shift register.

[0008]

[Function] it is one by one about sampling timing -- it is -- it is one by one as a control circuit generated simultaneously by the sampling change-over signal which does not synchronize with a clock signal about sampling timing [in / for the sampling signal output of said shift register / a change and said sample hold circuit] -- it is -- since it has the sampling change-over circuit switched to any of a simultaneous sampling they are, an indicative data is outputted to the data bus of said data driver with the sampling method of a sequential sampling or a simultaneous sampling.

[0009] Moreover, since it has the sampling change-over circuit which switches sampling timing [in / for the output of the sampling start pulse which shifts the

sampling signal output of said shift register, and said shift register / a change and said sample hold circuit] to any of sequential or a simultaneous sampling they are with the sampling change-over signal which does not synchronize with a clock signal, an indicative data is outputted to the data bus of said data driver by the sampling method of a sequential sampling or a simultaneous sampling.

[0010]

[Example] Next, the data driver of the matrix indicating equipment of this invention is explained with reference to a drawing. The timing chart in the sequential sampling of the example the circuit diagram of the 1st example of the data driver of the matrix indicating equipment of this invention and drawing 2 were indicated in the circuit diagram of the 2nd example of the matrix indicating-equipment data driver of this invention, and drawing 1 indicated drawing 3 to be to drawing 1 , the timing chart in the simultaneous sampling of the example which showed drawing 4 to drawing 1 , and drawing 5 are the timing charts in the simultaneous sampling of the example shown in drawing 2 .

[0011] The data driver of the 1st example of this invention carries out the sequential shift of the inputted sampling start pulse SP in drawing 1 according to a clock signal CLK. Stand going up of a clock signal CLK and the shift registers SR1-SRn which output the sampling signals S1-Sn in falling, The sample hold circuits BF1-BFn which sample the indicative-data signals R, G, and B corresponding to data buses Q1-Qn, and output a data signal electrical potential difference to data buses Q1-Qn, The sampling signals S1-Sn and the sampling change-over signal TFS which were outputted from said shift registers SR1-SRn are inputted. The sampling change-over circuit TF which outputs sampling signal S1' which reaches one by one and has which sampling timing of a simultaneous sampling - Sn' Outputted sampling signal S1' - Sn' have and consist of sampling change-over circuits TF in the level shift circuits LS1-LSn which carry out a level conversion and which are transmitted to sample hold circuits BF1-BFn. The sampling change-over circuit TF is constituted using switching circuits which assorted the P channel transistor and the N channel transistor, such as an analog switch and the transfer gate, and if the sampling change-over signal TFS of "L" level or "H" level is inputted, it has the function which a switching circuit ASWA1 - SWAn, and a switching circuit BSWB1 - SWBn turn on and turn off.

[0012] When the sampling change-over signal TFS of "H" level is inputted into the sampling change-over circuit TF, a switching circuit ASWA1 - SWAn serve as ON, and a switching circuit BSWB1 - SWBn become off. At this time, the sampling signals S1-Sn outputted from shift registers SR1-SRn as shown in drawing 3 are inputted into the sampling change-over circuit TF, and are transmitted to sample hold circuits BF1-BFn as sampling signal S1' - Sn' through the level shift circuits LS1-LSn to timing as it is. Sample hold circuits BF1-BFn carry out the sequential sampling of the indicative-data signals R, G, and B to the timing of sampling signal S1' - Sn', and

output them to data buses Q1-Qn. However, when the sampling change-over signal TFS of "L" level is inputted into the sampling change-over circuit TF, Although the same sampling signals S1-Sn as drawing 3 are outputted from shift registers SR1-SRn and it is inputted into the sampling change-over circuit TF as a switching circuit ASWA1 - SWAn become off, a switching circuit BSWB1 - SWBn serve as ON and it is shown in drawing 4 S2, S5 and S8 from the sampling change-over circuit TF, and ... S3n-1 Sampling signal S1 '-Sn' signal is simultaneously outputted 3 **s to the same timing as a signal. Outputted sampling signal S1' - Sn' are transmitted to sample hold circuits BF1-BFn through the level shift circuits LS1-LSn, and sample hold circuits BF1-BFn sample the indicative-data signals R, G, and B simultaneously 3 **s, and output them to data buses Q1-Qn. Thus, the data driver of a change and the matrix indicating equipment which reaches one by one and can be applied to any sampling method of a simultaneous sampling can realize the sampling signal S1 of shift registers SR1-SRn - Sn output by inputting into the sampling change-over circuit TF the sampling change-over signal TFS of "H" level which does not synchronize with a clock signal CLK, or "L" level.

[0013] In drawing 2 which shows the 2nd example of this invention, a data driver is set in the sampling change-over circuit TF of the 1st example. When the sampling change-over signal TFS which does not synchronize with a clock signal CLK is inputted, the sampling signals S1-Sn from shift registers SR1-SRn and shift registers SR2, SR4, and SR6, and ... by switching the sampling start pulse SP from SR2n The sampling change-over circuit TF which reaches one by one and is switched to which sampling method of a simultaneous sampling is formed, and it is constituted.

[0014] In drawing 5 , if the sampling change-over signal TFS of "H" level is inputted into the sampling change-over circuit TF, it will switch to the same sequential sampling method as the 1st example shown in said drawing 3 . however -- a sampling -- a change-over -- a circuit -- TF -- " -- L -- " -- level -- a sampling -- a change-over -- a signal -- TFS -- inputting -- having -- if -- a shift register -- SR -- one - SRn -- from -- a sampling -- a signal -- S -- one - Sn -- and -- a sampling -- a start pulse -- a signal -- SP -- switching -- drawing 5 -- being shown -- as -- a sampling -- a signal -- S -- one -- ' - -- Sn -- ' -- a level shift -- a circuit -- LS -- one -- - LSn -- minding -- a sample hold circuit -- BF -- one - BFn -- transmitting -- having -- a simultaneous sampling method 3 times the sampling speed of the 1st example -- switching . Thus, the data driver of a change and the matrix indicating equipment which reaches one by one and can be applied to any sampling method of a simultaneous sampling can realize the sampling signals S1-Sn of shift registers SR1-SRn, and the sampling start pulse signal SP by inputting into the sampling change-over circuit TF the sampling change-over signal TFS of "H" level which does not synchronize with a clock signal CLK, or "L" level like the 1st example.

[0015]

[Effect of the Invention] As explained above, this invention By having the sampling change-over circuit which switches the sampling signal output of a shift register, and a sampling start pulse signal output by inputting the sampling change-over signal of "H" level which does not synchronize with a clock signal, or "L" level Without changing the pulse width of the sampling start pulse signal added to a shift register Moreover, it has the effectiveness that it can reach one by one and the sampling timing of a sample hold circuit can be switched to a high speed and stability at any timing of a simultaneous sampling, without adding the original control pulse signal which synchronized with the clock signal to a sampling change-over circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram of the 1st example of the data driver of the matrix indicating equipment of this invention.

[Drawing 2] The circuit diagram of the 2nd example of the data driver of the matrix indicating equipment of this invention.

[Drawing 3] The timing chart in the sequential sampling of the example shown in drawing 1 .

[Drawing 4] The timing chart in the simultaneous sampling of the example shown in drawing 1 .

[Drawing 5] The timing chart in the simultaneous sampling of the example shown in drawing 2 .

[Drawing 6] The circuit diagram of the conventional example.

[Drawing 7] The timing chart in the sequential sampling of the conventional example.

[Drawing 8] The timing chart in the simultaneous sampling of the conventional example.

[Description of Notations]

SR1-SRn Shift register

SP Sampling start pulse

CLK Clock signal

S1-Sn Sampling signal

S1' - Sn' Sampling signal by which timing selection or a sampling change was carried out

Q1-Qn Data bus

TFS Sampling change-over signal

TF Sampling change-over circuit

SWA1 - SWAn Switching circuit A

SWB1 – SWBn Switching circuit B

LS1-LSn Level shift circuit

BF1-BFn Sample hold circuit

G1-Gn Logic gate

R, G, B Indicative-data signal

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-191624

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/20		R 9378-5G		
G 0 2 F 1/133	5 0 5			
G 0 9 G 3/36				
H 0 4 N 5/66	B			

審査請求 有 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平5-331705

(22)出願日 平成5年(1993)12月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 北村 謙太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

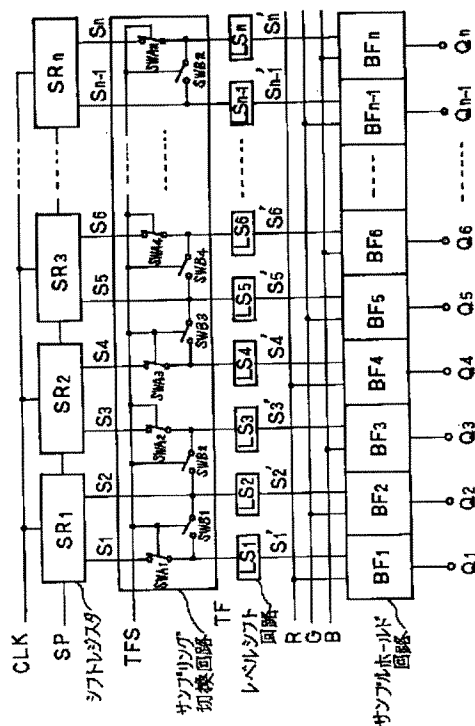
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 マトリックス表示装置のデータドライバ

(57)【要約】

【目的】 データバスとスキャンバスとを直交して配置したマトリックス表示装置のデータドライバにおいて、順次サンプリングと同時サンプリングの何れのサンプリング方式にも適用できるデータドライバを実現する。

【構成】 サンプリングスタートパルス信号を順次シフトし、サンプリング信号を出力するシフトレジスタと、表示データ信号をサンプリングしデータバスに出力するサンプルホールド回路と、サンプリング信号をレベル変換してサンプルホールド回路に伝達するレベルシフト回路と、クロック信号に同期しないHあるいはLレベルのサンプリング切替信号を入力することにより、前記シフトレジスタからのサンプリング信号出力を切り換え、サンプリング方式を順次サンプリングおよび同時サンプリングの何れかに切り換えるサンプリング切替回路を備えて構成されている。



【特許請求の範囲】

【請求項1】 データバスとスキャンバスとを直交して配置したマトリックス表示パネルの前記データバスにデータ電圧を印加するに際し、入力されたサンプリングスタートパルスをクロック信号に従って順次シフトし、サンプリング信号を出力するシフトレジスタと、前記データバスに対応して表示データをサンプリングし、前記データ電圧を出力するサンプルホールド回路と、サンプリングタイミングを順次あるいは同時に発生させる制御回路を有するマトリックス表示装置のデータドライバにおいて、

クロック信号と同期しないサンプリング切換信号を入力し、前記シフトレジスタのサンプリング信号出力を切換えることにより、前記サンプルホールド回路におけるサンプリングタイミングを順次あるいは同時サンプリングの何れかに切換えるサンプリング切換回路を有することを特徴とするマトリックス表示装置のデータドライバ。

【請求項2】 データバスとスキャンバスとを直交して配置したマトリックス表示パネルの前記データバスにデータ電圧を印加するに際し、入力されたサンプリングスタートパルスをクロック信号に従って順次シフトし、サンプリング信号を出力するシフトレジスタと、前記データバスに対応して表示データをサンプリングし、前記データ電圧を出力するサンプルホールド回路と、サンプリングタイミングを順次あるいは同時に発生させる制御回路を有するマトリックス表示装置のデータドライバにおいて、

クロック信号と同期しないサンプリング切換信号を入力し、前記シフトレジスタのサンプリング信号出力および前記シフトレジスタをシフトするサンプリングスタートパルスの出力を切換えることにより、サンプリングタイミングを順次あるいは同時サンプリングのいずれかに切換えるサンプリング切換回路を有することを特徴とするマトリックス表示装置のデータドライバ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマトリックス表示装置のデータドライバに関し、特に順次サンプリングと同時サンプリングのいずれのサンプリング方式にも適用できるマトリックス表示装置のデータドライバに関する。

【0002】

【従来の技術】データバスとスキャンバスを直交して配置したマトリックス表示装置にデータ電圧を印加するためのデータドライバにおいて、順次サンプリングと同時サンプリングの何れのサンプリング方式にも適用できる従来のデータドライバは、図6に示すように、入力されたサンプリングスタートパルスSPをクロック信号CLKに従って順次シフトし、サンプリング信号 $S_1 \sim S_n$ を出力するシフトレジスタSR $_1 \sim S R_n$ と、前記データバスQ $_1 \sim Q_n$ に対応して表示データ信号R、G、Bをサン

プリングし、前記データ信号電圧をデータバスQ $_1 \sim Q_n$ に出力するサンプルホールド回路BF $_1 \sim B F_n$ と、前記シフトレジスタSR $_1 \sim S R_n$ から出力されるサンプリング信号 $S_1 \sim S_n$ および制御信号ENを入力し、順次および同時の何れかのサンプリングタイミングを有するサンプリング信号 $S_1' \sim S_n'$ を出力する、アンドゲートやラッチ回路等の論理ゲートG $_1 \sim G_n$ から成るタイミング選択回路とを有して構成されている（例えば特開平2-74990号公報）。

【0003】次に、従来の前記データドライバの動作について説明する。図7および図8は、従来のデータドライバの順次および同時サンプリング方式に対応したサンプリング信号 $S_1 \sim S_n$ のタイミングチャートである。図7に示すように制御信号ENおよびサンプリングスタートパルスSPが入力された場合、サンプリングスタートパルスSPはクロック信号CLKに従って、シフトレジスタSR $_1 \sim S R_n$ をシフトし、シフトレジスタSR $_1 \sim S R_n$ からサンプリング信号 $S_1 \sim S_n$ が出力される。出力されたサンプリング信号 $S_1 \sim S_n$ はタイミング選択回路を構成している論理ゲートG $_1 \sim G_n$ に入力される。その時、制御信号ENが「H」レベルであるため、サンプリング信号 $S_1 \sim S_n$ はそのままのタイミングでサンプルホールド回路BF $_1 \sim B F_n$ に伝達され、サンプリング信号 $S_1' \sim S_n'$ のタイミングで表示データ信号R、G、Bを順次サンプリングし、データバスQ $_1 \sim Q_n$ に出力する。ところが、図8に示すような一定の周期を有する制御パルス信号ENを入力し、しかもクロック信号CLKの3周期分の幅を有するサンプリングスタートパルス信号SPを入力した場合、シフトレジスタSR $_1 \sim S R_n$ からはクロック信号CLKの3周期分の幅を有するサンプリング信号 $S_1 \sim S_n$ が出力される。その信号がタイミング選択回路の論理ゲートG $_1 \sim G_n$ に入力され、なおかつ制御パルス信号ENが「H」レベルの期間のみサンプリング信号 $S_1' \sim S_n'$ 信号が3つ同時に出力される。出力されたサンプリング信号 S_1' 、 S_2' 、 S_3' や S_4' 、 S_5' 、 S_6' 等が同時にサンプルホールド回路BF $_1 \sim B F_n$ 回路に伝達され、表示データ信号R、G、Bの3つを同時サンプリングし、データバスQ $_1 \sim Q_n$ に出力する。このように、従来のデータドライバはサンプリングスタートパルス信号SPのパルス幅を変化させたり、制御信号ENとしてクロック信号CLKに同期した独自のパルス信号を用いることにより順次および同時サンプリングの何れかのサンプリングタイミングを選択していた。

【0004】

【発明が解決しようとする課題】この従来のデータドライバでは、サンプリング方式を選択する際、サンプリングスタートパルスのパルス幅を変化させたり、また制御信号としてクロック信号と同期した独自の制御パルス信号を入力する必要があるため、それらの信号を発生する

ための外部周辺回路が複雑になるという問題点があった。また、同時サンプリング時に制御信号とクロック信号の同期がずれた場合、タイミング選択回路から出力されるサンプリング信号の幅がばらついたり、サンプリング信号が4つ同時に出力される可能性があるため表示データ信号を正確にサンプリングできないという問題点があった。

【0005】本発明の目的はデータバスとスキャンバスとを直交して配置したマトリックス表示パネルの前記データバスにデータ電圧を印加する際に、入力されたサンプリングスタートパルスをクロック信号に従って順次シフトし、サンプリング信号を出力するシフトレジスタと、前記データバスに対応して表示データをサンプリングし、前記データ電圧を出力するサンプルホールド回路と、サンプリングタイミングを順次あるいは同時に発生させる制御回路として、クロック信号と同期しないサンプリング切換信号により、前記シフトレジスタのサンプリング信号出力を切換え、前記サンプルホールド回路におけるサンプリングタイミングを順次あるいは同時サンプリングの何れかに切換えるサンプリング切換回路を有するマトリックス表示装置のデータドライバを提供することである。

【0006】

【課題を解決するための手段】マトリックス表示装置のデータドライバは、データバスとスキャンバスとを直交して配置したマトリックス表示パネルの前記データバスにデータ電圧を印加するに際し、入力されたサンプリングスタートパルスをクロック信号に従って順次シフトし、サンプリング信号を出力するシフトレジスタと、前記データバスに対応して表示データをサンプリングし、前記データ電圧を出力するサンプルホールド回路と、サンプリングタイミングを順次あるいは同時に発生させる制御回路を有するマトリックス表示装置のデータドライバにおいて、クロック信号と同期しないサンプリング切換信号を入力し、前記シフトレジスタのサンプリング信号出力を切換えることにより、前記サンプルホールド回路におけるサンプリングタイミングを順次あるいは同時サンプリングの何れかに切換えるサンプリング切換回路を有するマトリックス表示装置のデータドライバ。

【0007】更に、前記マトリックス表示装置のデータドライバにおいて、クロック信号と同期しないサンプリング切換信号を入力し、前記シフトレジスタのサンプリング信号出力および前記シフトレジスタをシフトするサンプリングスタートパルスの出力を切換えることにより、サンプリングタイミングを順次あるいは同時サンプリングのいずれかに切換えるサンプリング切換回路を有するマトリックス表示装置のデータドライバ。

【0008】

【作用】サンプリングタイミングを順次あるいは同時に発生させる制御回路として、クロック信号と同期しない

サンプリング切換信号により、前記シフトレジスタのサンプリング信号出力を切換え、前記サンプルホールド回路におけるサンプリングタイミングを順次あるいは同時サンプリングの何れかに切換えるサンプリング切換回路を有するので、順次サンプリングあるいは同時サンプリングのサンプリング方式で表示データを前記データドライバのデータバスに出力する。

【0009】また、クロック信号と同期しないサンプリング切換信号により、前記シフトレジスタのサンプリング信号出力および前記シフトレジスタをシフトするサンプリングスタートパルスの出力を切換え、前記サンプルホールド回路におけるサンプリングタイミングを順次あるいは同時サンプリングの何れかに切換えるサンプリング切換回路を有するので、順次サンプリングあるいは同時サンプリングのサンプリング方式で表示データを前記データドライバのデータバスに出力する。

【0010】

【実施例】次に本発明のマトリックス表示装置のデータドライバについて図面を参照して説明する。図1は本発明のマトリックス表示装置のデータドライバの第1の実施例の回路図、図2は本発明のマトリックス表示装置データドライバの第2の実施例の回路図、図3は図1に示した実施例の順次サンプリングにおけるタイミングチャート、図4は図1に示した実施例の同時サンプリングにおけるタイミングチャート、図5は図2に示した実施例の同時サンプリングにおけるタイミングチャートである。

【0011】本発明の第1の実施例のデータドライバは、図1において、入力されたサンプリングスタートパルスSPをクロック信号CLKに従って順次シフトし、クロック信号CLKの立ち上がり立ち下がりサンプリング信号 $S_1 \sim S_n$ を出力するシフトレジスタ $SR_1 \sim SR_n$ と、データバス $Q_1 \sim Q_n$ に対応して表示データ信号R、G、Bをサンプリングし、データ信号電圧をデータバス $Q_1 \sim Q_n$ に出力するサンプルホールド回路 $BF_1 \sim BF_n$ と、前記シフトレジスタ $SR_1 \sim SR_n$ から出力されたサンプリング信号 $S_1 \sim S_n$ およびサンプリング切換信号TFSを入力し、順次および同時サンプリングの何れかのサンプリングタイミングを有するサンプリング信号 $S_1' \sim S_n'$ を出力するサンプリング切換回路TFと、サンプリング切換回路TFから出力されたサンプリング信号 $S_1' \sim S_n'$ をレベル変換してサンプルホールド回路 $BF_1 \sim BF_n$ に伝達するレベルシフト回路 $LS_1 \sim LS_n$ を備えて構成されている。サンプリング切換回路TFは、PチャネルトランジスタとNチャネルトランジスタとを抱き合わせたアナログスイッチやトランスファークロスタ等のスイッチ回路を用いて構成されており、「L」レベルあるいは「H」レベルのサンプリング切換信号TFSが入力されると、スイッチ回路 $ASWA_1 \sim ASWA_n$ およびスイッチ回路 $B SWB_1 \sim B SWB_n$ がオ

ン、オフする機能を有している。

【0012】サンプリング切換回路TFに「H」レベルのサンプリング切換信号TF Sを入力した場合、スイッチ回路ASWA₁～SWA_nがオンとなり、スイッチ回路BSWB₁～SWB_nがオフとなる。この時、図3に示すようにシフトレジスタSR₁～SR_nから出力されたサンプリング信号S₁～S_nは、サンプリング切換回路TFに入力され、そのままのタイミングでレベルシフト回路LS₁～LS_nを介してサンプリング信号S₁'～S_n'としてサンプルホールド回路BF₁～BF_nに伝達される。サンプルホールド回路BF₁～BF_nはサンプリング信号S₁'～S_n'のタイミングで表示データ信号R、G、Bを順次サンプリングし、データバスQ₁～Q_nに出力する。ところが、サンプリング切換回路TFに「L」レベルのサンプリング切換信号TF Sを入力した場合、スイッチ回路ASWA₁～SWA_nがオフとなり、スイッチ回路BSWB₁～SWB_nがオンとなって、図4に示すように、シフトレジスタSR₁～SR_nからは図3と同じサンプリング信号S₁～S_nが出力されサンプリング切換回路TFに入力されるが、サンプリング切換回路TFからはS₂、S₅、S₈、・・・S_{3n-1}信号と同じタイミングでサンプリング信号S₁'～S_n'信号が3つ同時に出力される。出力されたサンプリング信号S₁'～S_n'はレベルシフト回路LS₁～LS_nを介してサンプルホールド回路BF₁～BF_nに伝達され、サンプルホールド回路BF₁～BF_nは表示データ信号R、G、Bを3つ同時にサンプリングし、データバスQ₁～Q_nに出力する。このように、サンプリング切換回路TFにクロック信号CLKに同期しない「H」レベルあるいは「L」レベルのサンプリング切換信号TF Sを入力することにより、シフトレジスタSR₁～SR_nのサンプリング信号S₁～S_n出力を切換え、順次および同時サンプリングの何れのサンプリング方式にも適用できるマトリックス表示装置のデータドライバが実現できる。

【0013】本発明の第2実施例を示す図2において、データドライバは第1の実施例のサンプリング切換回路TFにおいて、クロック信号CLKと同期しないサンプリング切換信号TF Sを入力した時、シフトレジスタSR₁～SR_nからのサンプリング信号S₁～S_nおよびシフトレジスタSR₂、SR₄、SR₆、・・・SR_{2n}からのサンプリングスタートパルスSPを切換えることにより順次および同時サンプリングの何れかのサンプリング方式に切換えるサンプリング切換回路TFを設けて構成されている。

【0014】図5において、サンプリング切換回路TFに「H」レベルのサンプリング切換信号TF Sを入力すると、前記図3に示した第1の実施例と同様の順次サンプリング方式に切り換わる。しかし、サンプリング切換回路TFに「L」レベルのサンプリング切換信号TF Sが入力されると、シフトレジスタSR₁～SR_nからのサ

ンプリング信号S₁～S_nおよびサンプリングスタートパルス信号SPが切り換わり、図5に示すようなサンプリング信号S₁'～S_n'がレベルシフト回路LS₁～LS_nを介してサンプルホールド回路BF₁～BF_nに伝達され、第1の実施例の3倍のサンプリングスピードの同時サンプリング方式に切り換わる。このように、第1の実施例と同様、サンプリング切換回路TFにクロック信号CLKと同期しない「H」レベルあるいは「L」レベルのサンプリング切換信号TF Sを入力することにより、シフトレジスタSR₁～SR_nのサンプリング信号S₁～S_nおよびサンプリングスタートパルス信号SPを切換え、順次および同時サンプリングの何れのサンプリング方式にも適用できるマトリックス表示装置のデータドライバが実現できる。

【0015】

【発明の効果】以上説明したように本発明は、クロック信号と同期しない「H」レベルあるいは「L」レベルのサンプリング切換信号を入力することによりシフトレジスタのサンプリング信号出力およびサンプリングスタートパルス信号出力を切換えるサンプリング切換回路を有することにより、シフトレジスタに加えるサンプリングスタートパルス信号のパルス幅を変化させることなく、またクロック信号と同期した独自の制御パルス信号をサンプリング切換回路に加えることなく、サンプルホールド回路のサンプリングタイミングを順次および同時サンプリングの何れのタイミングにも高速かつ安定に切換えることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明のマトリックス表示装置のデータドライバの第1の実施例の回路図。

【図2】本発明のマトリックス表示装置のデータドライバの第2の実施例の回路図。

【図3】図1に示した実施例の順次サンプリングにおけるタイミングチャート。

【図4】図1に示した実施例の同時サンプリングにおけるタイミングチャート。

【図5】図2に示した実施例の同時サンプリングにおけるタイミングチャート。

【図6】従来例の回路図。

【図7】従来例の順次サンプリングにおけるタイミングチャート。

【図8】従来例の同時サンプリングにおけるタイミングチャート。

【符号の説明】

SR₁～SR_n シフトレジスタ

SP サンプリングスタートパルス

CLK クロック信号

S₁～S_n サンプリング信号

S₁'～S_n' タイミング選択あるいはサンプリング切換えされたサンプリング信号

$Q_1 \sim Q_n$ データバス

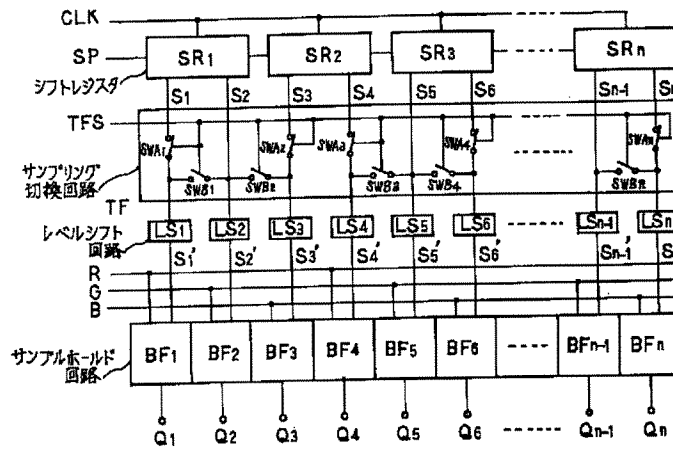
TFS サンプリング切換信号

TF サンプリング切換回路

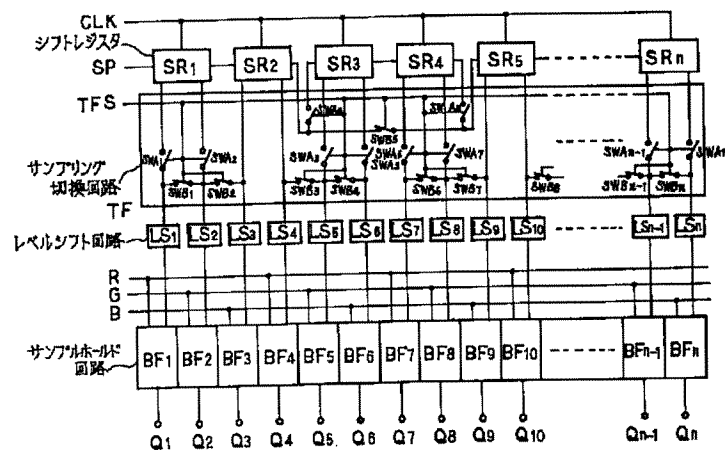
 $SWA_1 \sim SWA_n$ スイッチ回路A $SWB_1 \sim SWB_n$ スイッチ回路B $LS_1 \sim LS_n$ レベルシフト回路 $BF_1 \sim BF_n$ サンプルホールド回路 $G_1 \sim G_n$ 論理ゲート

R、G、B 表示データ信号

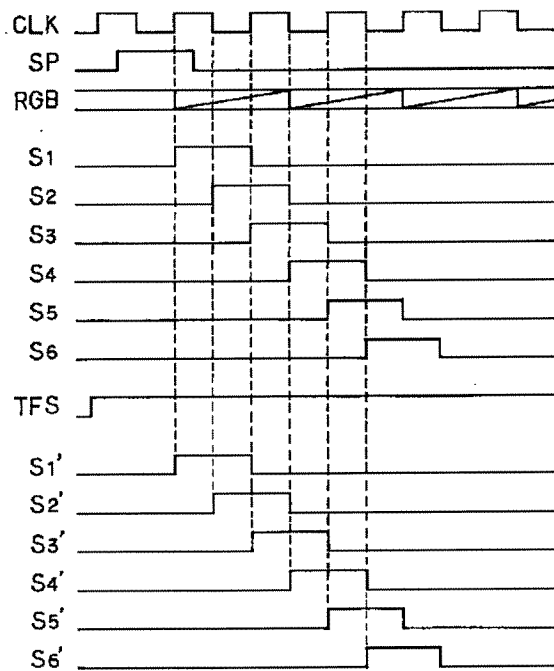
【図1】



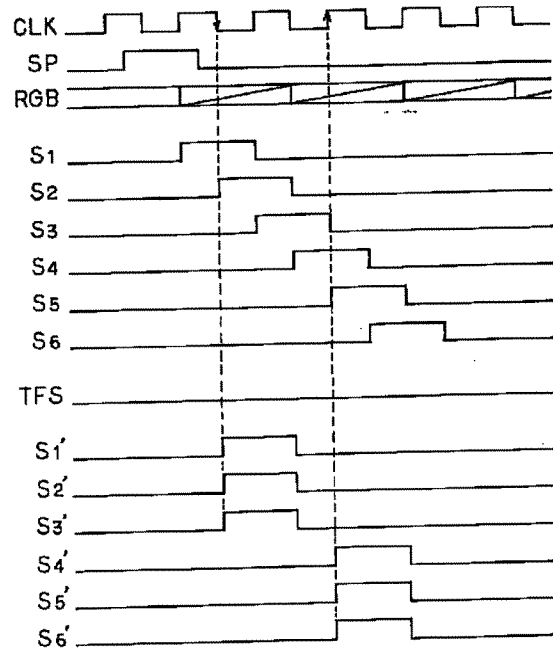
【図2】



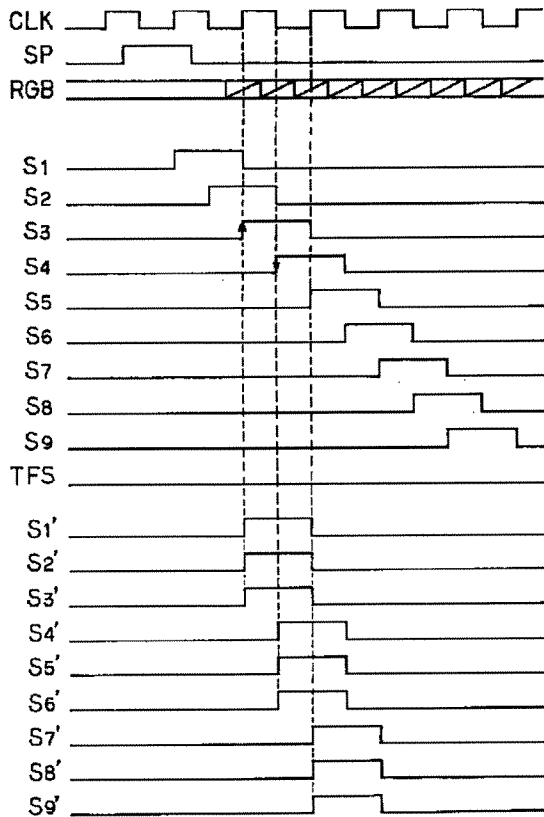
【図3】



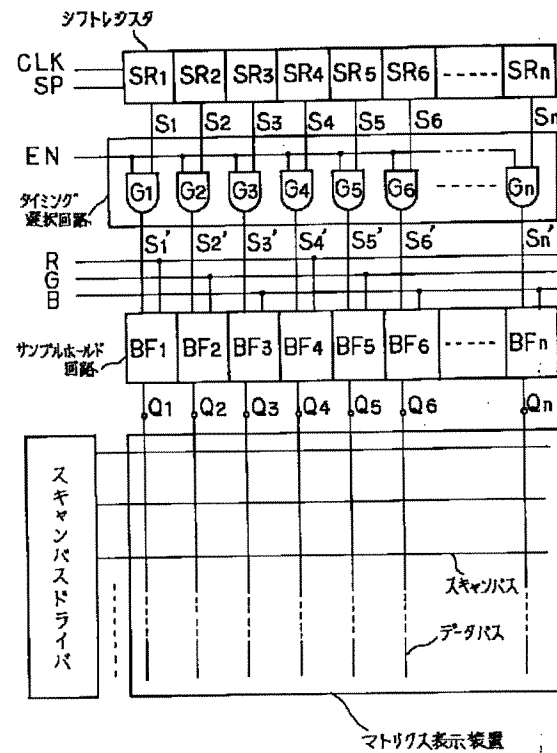
【図4】



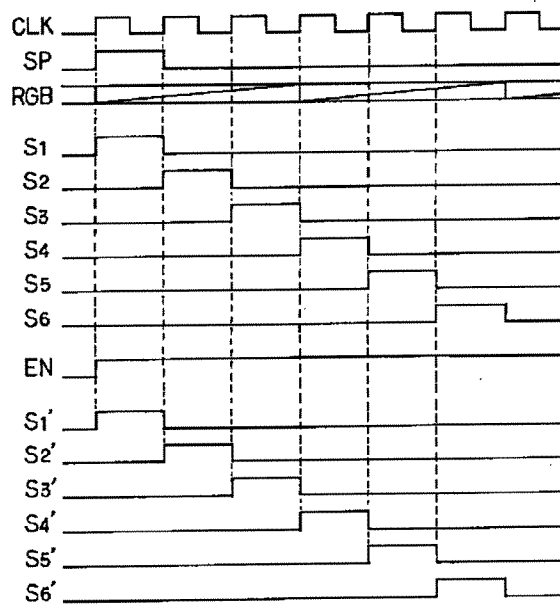
【図5】



【図6】



【図 7】



【図 8】

